

DIALOG(R)File 351:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

012527049

WPI Acc No: 1999-333155/ 199928

XRAM Acc No: C99-098445

XRPX Acc No: N99-250785

Slurry for polishing and grinding platinum group metal film - includes
fine particles of oxides of platinum group dispersed in alkaline solution

Patent Assignee: MATSUSHITA ELECTRONICS CORP (MATE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11121411	A	19990430	JP 97276907	A	19971009	199928 B

Priority Applications (No Type Date): JP 97276907 A 19971009

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11121411	A		7	H01L-021/304	

Abstract (Basic): JP 11121411 A

NOVELTY - The slurry for polishing and grinding a platinum group
metal film by chemical-mechanical polishing technique, uses fine
particles of oxides of platinum group dispersed in alkaline solution.
DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for cell
formation method.

USE - For polishing and grinding platinum group metal film.

ADVANTAGE - Semiconductor with high integration is obtained since
the platinum group metal is used. DESCRIPTION OF DRAWING(S) - The
figure shows a sectional view of trench type cell in which the lower
electrode is constituted by platinum group metal.

Dwg.1/3

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/304	3 2 1	H 0 1 L 21/304	3 2 1 P
			3 2 1 M
B 2 4 B 37/00		B 2 4 B 37/00	H
C 0 9 K 3/14	5 5 0	C 0 9 K 3/14	5 5 0 E
H 0 1 L 27/04		H 0 1 L 27/04	C
審査請求 未請求 請求項の数10 O L (全 7 頁) 最終頁に続く			

(21) 出願番号 特願平9-276907

(22) 出願日 平成9年(1997)10月9日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 川口 明実

大阪府高槻市幸町1番1号 松下電子工業株式会社内

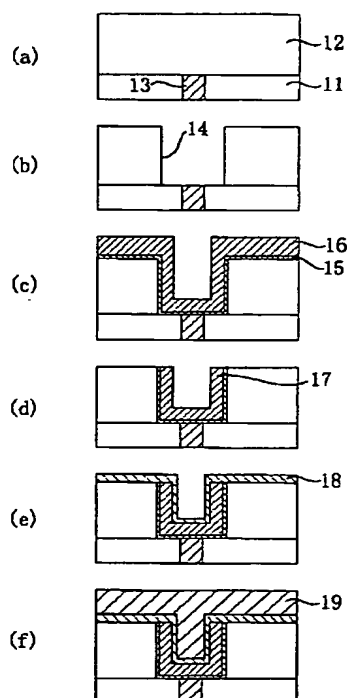
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 研磨用スラリー、白金族系金属膜の研磨方法及び半導体記憶装置のセル形成方法

(57) 【要約】

【課題】 白金族系金属膜をCMP法により研磨するための研磨用スラリー及び研磨方法並びに白金族系金属膜からなる下部電極を有する半導体記憶装置のセルの形成方法を提供する。

【解決手段】 ポリシリコン配線13が設けられている第1層間絶縁膜11の上に第2層間絶縁膜12を堆積する。第2層間絶縁膜12に開口部14を形成した後、開口部14内及び第2層間絶縁膜12上にTiN/Ti膜15と白金族系金属膜であるRu膜16を堆積する。白金族系金属の酸化物の微粒子を含む研磨用スラリーを用いてCMPを行って、開口部内に白金族系金属膜からなる下部電極17を形成する。その後、容量絶縁膜となる(Ba_{0.5}, Sr_{0.5})TiO₃膜18と、上部電極膜であるRu膜19とを堆積する。研磨用スラリー中の酸化物の作用によって白金族系金属膜の表面が酸化され、容易に研磨される。



【特許請求の範囲】

【請求項1】 白金族系金属膜を化学機械的研磨法により研磨するための研磨用スラリーであって、アルカリ性溶液に白金族系金属の酸化物からなる微粒子が分散されていることを特徴とする研磨用スラリー。

【請求項2】 請求項1に記載の研磨用スラリーにおいて、上記研磨用スラリー中には、さらに白金族系金属膜の酸化層を研磨する機能を有する白金族系金属以外の金属の酸化物の微粒子が分散されていることを特徴とする研磨用スラリー。

【請求項3】 請求項1または2記載の研磨用スラリーにおいて、

上記白金系金属の酸化物は、 RuO_2 、 RuO_4 、 Rh_2O_3 、 PdO 、 OsO_2 、 OsO_4 、 IrO_2 、 PtO 、 Pt_3O_4 及び PtO_2 のうち少なくともいずれか1つであることを特徴とする研磨用スラリー。

【請求項4】 被加工物の一部に設けられた白金族系金属膜を化学機械的研磨法により研磨するための研磨方法であって、

アルカリ性溶液に白金族系金属の酸化物からなる微粒子が分散されている研磨用スラリーを研磨パッドと上記白金族系金属膜との間に供給し、

上記研磨パッドと上記被加工物との間に圧力を印加しながら、上記研磨パッドと上記被加工物とを相対的に回転させて、上記白金族系金属膜を研磨することを特徴とする白金族系金属膜の研磨方法。

【請求項5】 請求項4に記載の白金族系金属膜の研磨方法において、

上記研磨用スラリー中には、さらに白金族系金属膜の酸化層を研磨する機能を有する白金族系金属以外の金属の酸化物の微粒子が分散されていることを特徴とする研磨用スラリー。

【請求項6】 請求項4または5記載の白金族系金属膜の研磨方法において、

上記白金系金属の酸化物は、 RuO_2 、 RuO_4 、 Rh_2O_3 、 PdO 、 OsO_2 、 OsO_4 、 IrO_2 、 PtO 、 Pt_3O_4 及び PtO_2 のうち少なくともいずれか1つであることを特徴とする白金族系金属膜の研磨方法。

【請求項7】 導体部を有する基板上に層間絶縁膜を堆積する第1の工程と、

上記層間絶縁膜に上記導体部の少なくとも一部に到達する開口部を形成する第2の工程と、

上記開口部内及び上記層間絶縁膜の上に白金族系金属膜を堆積する第3の工程と、

化学機械的研磨を行って、上記層間絶縁膜が露出するまで上記白金族系金属膜を除去し、上記白金族系金属膜を上記開口部に埋め込んでなる下部電極を形成する第4の工程と、

上記下部電極の上に誘電体膜を堆積する第5の工程と、上記誘電体膜の上に上部電極膜を堆積する第6の工程とを備えていることを特徴とする半導体記憶装置のセル形成方法。

【請求項8】 請求項7記載の半導体記憶装置のセル形成方法において、

上記第4の工程では、アルカリ性溶液に白金族系金属の酸化物からなる微粒子が分散されている研磨用スラリーを用いて化学機械的研磨法を用いることを特徴とする半導体記憶装置のセル形成方法。

【請求項9】 請求項8記載の半導体記憶装置のセル形成方法において、

上記第4の工程で用いられる研磨用スラリーには、白金族系金属膜の酸化層を研磨する機能を有する白金族系金属以外の金属の酸化物の微粒子が分散されていることを特徴とする半導体記憶装置のセル形成方法。

【請求項10】 請求項6、7または8記載の半導体記憶装置のセル形成方法において、

上記白金系金属の酸化物は、 RuO_2 、 RuO_4 、 Rh_2O_3 、 PdO 、 OsO_2 、 OsO_4 、 IrO_2 、 PtO 、 Pt_3O_4 及び PtO_2 のうち少なくともいずれか1つであることを特徴とする半導体記憶装置のセル形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、白金族系金属膜を化学機械的研磨（以下CMP法と略記する）により研磨するための研磨用スラリー、白金族系金属膜をCMP法により研磨する研磨方法及び白金族系金属膜により構成される電極を有する半導体記憶装置のセルの形成方法に関する。

【0002】

【従来の技術】近年、集積回路素子の高集積化が進み、メモリセルにおいては特に記憶容量の増大などに対応すべく高集積化の進行が著しい。そこで、メモリセルの一部を構成する容量絶縁膜を構成する材料として、従来の酸化けい素（ SiO_2 ）に代えて、高誘電率で分極特性を有するPZT（ $\text{Pd}(\text{Zr}, \text{Ti})\text{O}_3$ ）系強誘電体薄膜や、BST（ $\text{Ba}, \text{Sr})\text{TiO}_3$ ）系高誘電体薄膜を用い、これをDRAMキャパシタや不揮発メモリに応用する研究が活発になっている。この不揮発性メモリにおいて、データの書き換えを繰り返すと膜の電荷保持特性等が劣化するという難点がある。これは、膜の疲労と呼ばれるものであるが、この膜の劣化を防ぐために膜を構成する材料である高誘電体や強誘電体自体の改良が行われている。

【0003】一方、この膜の両面に接触する電極材料の改良も積極的に行われている。強誘電体や高誘電体は金属の酸化物であるため、その両面に接触している電極材料の金属をも酸化してしまう傾向がある。そのために、

耐酸化性の大きい白金族系金属膜が電極として用いられている。現在、電極として使用されている白金族系金属は、白金(Pt)、ルテニウム(Ru)が使用されており、その他、イリジウム(Ir)などの使用も検討されつつある。

【0004】ここで、これまでに使用されてきたセルの形はスタック型で、塩素系ガスをを用いたドライエッチングにより下部電極用の白金族系金属をパターンニングしてきた。図3(a)～(f)は、従来のプロセスを示す断面図である。下地のシリコン酸化膜111に形成された埋め込み溝内に配線としてポリシリコンを埋め込んで配線113を形成した後、その上に下部電極となる白金系金属膜112をスパッタあるいはCVD法などによって堆積する。その後、白金系金属膜112をドライエッチングによりパターンニングし、下部電極114を形成する。そして、基板上に、例えばBSTにより構成される高誘電体膜115を堆積した後、さらにその上に上部電極膜116を堆積してセルを形成する。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の方法では、以下のような問題があった。

【0006】最近では、1ギガビットのDRAM用のセルは極めて微細となり、これまでのスタック型セル構造では、ドライエッチングによる下地電極用の白金族系金属膜112から下部電極114の形状にパターンニングするのが困難である。そのため、トレンチ型セル構造にする方向で検討が進められている。このトレンチ型セル構造では、層間絶縁膜である酸化膜(例えばシリコン酸化膜)に埋め込み溝等の開口部を形成するため、これまでのドライエッチングプロセスが応用できる。さらに、下部電極用の白金族系金属膜をドライエッチングする必要がないので、これまでのスタック型セル構造より微細なパターン形成には有利である。

【0007】しかるに、トレンチ型セルを形成するプロセスにおいては、層間絶縁膜に形成された開口部内及び層間絶縁膜の上に白金族系金属膜を堆積した後、CMPによる平坦化を行って、開口部内に白金族系金属膜を埋め込む工程が必要となるが、その際に、白金族系金属は化学反応性に乏しく、従来の半導体用の配線を形成する際に使用してきたスラリーが適用できないという問題があった。

【0008】本発明は斯かる点に鑑みてなされたものであり、その目的は、白金族系金属膜をCMP法により研磨するための手段を講ずることにより、白金族系金属膜をCMP法により研磨するための研磨方法及び研磨用スラリーと、白金族系金属により構成される下部電極を有する半導体記憶装置のセル形成方法とを提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため

に、本発明の講じた手段は、CMP法による研磨を行うための研磨用スラリーに白金族系金属の酸化物の微粒子を分散させておくことにより、白金族系金属膜の表面を酸化して研磨されやすくすることにある。

【0010】具体的に、本発明では、請求項1～3に記載されている研磨用スラリーに関する手段と、請求項4～6に記載されているCMP法による白金族系金属膜の研磨方法に関する手段と、請求項7～10に記載されている半導体記憶装置のセル形成方法に関する手段とを講じている。

【0011】本発明の研磨用スラリーは、請求項1に記載されているように、白金族系金属膜を化学機械的研磨法により研磨するための研磨用スラリーであって、アルカリ性溶液に白金族系金属の酸化物からなる微粒子が分散されている。

【0012】この研磨用スラリーを使用することにより、CMP法による白金族系金属膜の研磨の際、酸化能力の高い白金族系金属の酸化物で白金族系金属膜の表面が酸化されると同時に、この酸化された部分が白金族系金属の酸化物の微粒子によって除去される。すなわち、白金族系金属の酸化物の微粒子は酸化剤としても研磨剤としても機能することになる。

【0013】請求項2に記載されているように、請求項1において、上記研磨用スラリー中には、さらに白金族系金属膜の酸化層を研磨する機能を有する白金族系金属以外の金属の酸化物の微粒子を分散させておくことができる。

【0014】これにより、研磨用スラリーの研磨機能がより高くなるので、短時間でCMP法による研磨が可能な研磨剤が得られることになる。

【0015】請求項3に記載されているように、請求項1または2において、上記白金系金属の酸化物を、 RuO_2 、 RuO_4 、 Rh_2O_3 、 PdO 、 OsO_2 、 OsO_4 、 IrO_2 、 PtO 、 Pt_3O_4 及び PtO_2 のうち少なくともいずれか1つとすることができる。

【0016】本発明の白金族系金属膜の研磨方法は、請求項4に記載されているように、被加工物の一部に設けられた白金族系金属膜を化学機械的研磨法により研磨するための研磨方法であって、アルカリ性溶液に白金族系金属の酸化物からなる微粒子が分散されている研磨用スラリーを研磨パッドと上記白金族系金属膜との間に供給し、上記研磨パッドと上記被加工物との間に圧力を印加しながら、上記研磨パッドと上記被加工物とを相対的に回転させて、上記白金族系金属膜を研磨する方法である。

【0017】この方法により、酸化能力の高い白金族系金属の酸化物で白金族系金属膜の表面が酸化されると同時に、この酸化された部分が白金族系金属の酸化物の微粒子によって除去される。すなわち、白金族系金属の酸化物の微粒子が酸化剤としても研磨剤としても機能する

ことで、白金族系金属膜が容易かつ迅速に除去されることになる。

【0018】請求項5に記載されているように、請求項4において、上記研磨用スラリー中には、さらに白金族系金属膜の酸化層を研磨する機能を有する白金族系金属以外の金属の酸化物の微粒子を分散させておくことができる。

【0019】この方法により、研磨用スラリーの研磨機能がより高くなるので、短時間でCMP法による研磨が終了することになる。

【0020】請求項6に記載されているように、請求項4または5において、上記白金系金属の酸化物を、 RuO_2 、 RuO_4 、 Rh_2O_3 、 PdO 、 OsO_2 、 OsO_4 、 IrO_2 、 PtO 、 Pt_3O_4 及び PtO_2 のうち少なくともいずれか1つとすることができる。

【0021】本発明の半導体記憶装置のセル形成方法は、請求項7に記載されているように、導体部を有する基板上に層間絶縁膜を堆積する第1の工程と、上記層間絶縁膜に上記導体部の少なくとも一部に到達する開口部を形成する第2の工程と、上記開口部内及び上記層間絶縁膜の上に白金族系金属膜を堆積する第3の工程と、化学機械的研磨を行って、上記層間絶縁膜が露出するまで上記白金族系金属膜を除去し、上記白金族系金属膜を上記開口部に埋め込んでなる下部電極を形成する第4の工程と、上記下部電極の上に誘電体膜を堆積する第5の工程と、上記誘電体膜の上に上部電極膜を堆積する第6の工程とを備えている。

【0022】この方法により、白金族系金属膜を下部電極とするトレンチ型セルが形成される。そして、この方法では、白金族系金属膜の微細パターンの形成が可能であるので、高集積化に適した半導体記憶装置のセルが形成される。

【0023】請求項8に記載されているように、請求項7において、上記第4の工程では、アルカリ性溶液に白金族系金属の酸化物からなる微粒子が分散されている研磨用スラリーを用いて化学機械的研磨法を用いることが好ましい。

【0024】この方法により、白金族系金属の酸化物の微粒子の酸化機能と研磨機能とを利用して、白金族系金属膜が迅速に研磨され、実用化に適した半導体記憶装置のセル形成方法となる。

【0025】請求項9に記載されているように、請求項8において、上記第4の工程で用いられる研磨用スラリーには、白金族系金属膜の酸化層を研磨する機能を有する白金族系金属以外の金属の酸化物の微粒子が分散されていてもよい。

【0026】この方法により、白金族系金属の酸化物の微粒子の酸化機能と研磨機能だけでなく、他の酸化物の研磨機能を利用して、白金族系金属膜がより迅速に研磨されることになる。

【0027】請求項10に記載されているように、請求項6、7または8において、上記白金系金属の酸化物を、 RuO_2 、 RuO_4 、 Rh_2O_3 、 PdO 、 OsO_2 、 OsO_4 、 IrO_2 、 PtO 、 Pt_3O_4 及び PtO_2 のうち少なくともいずれか1つとすることができる。

【0028】

【発明の実施の形態】以下、本発明の実施形態における半導体記憶装置のセル用下部電極の形成方法を図面を参照しながら説明する。

【0029】まず、本発明の実施形態について、図1(a)～(f)を参照しながら説明する。図1(a)～(f)は、本発明の白金族系金属膜で構成される下部電極を有するトレンチ型セルの形成工程を示す断面図である。

【0030】まず、図1(a)に示す工程で、シリコン基板(図示せず)上に熱酸化によりシリコン酸化膜からなる第1層間絶縁膜11を700nmの厚さに形成した後、所望の位置に径が約0.16 μm のコンタクトホールを形成する。そして、CVD法により、コンタクトホール内及び第1層間絶縁膜11の上に厚みが約1 μm のポリシリコン膜を堆積し、リン拡散を行って低抵抗化する。その後、CMP法を用いて、第1層間絶縁膜11の表面が露出するまで余分な部分のポリシリコンを除去し、基板の上面全体を平坦化する。その結果、コンタクトホール内にのみポリシリコンが埋め込まれてポリシリコン配線13が形成される。

【0031】次に、基板上に、厚みが約1 μm のシリコン酸化膜からなる第2層間絶縁膜12を堆積し図1(b)に示す工程で、第2層間絶縁膜12に、例えば円柱状のパターンを有する開口部14(径が約0.28 μm)を従来の酸化膜用のドライエッチング技術を使用して形成する。そのとき、開口部14の底面のいずれかの部位に上記ポリシリコン配線13が露出しているように開口部14を形成する。

【0032】次に、図1(c)に示す工程で、開口部14内及び第2層間絶縁膜12上に密着層兼バリア金属層としてTiN/Ti膜15を堆積する。このとき、TiN膜の厚みは約20nmであり、Ti膜の厚みは約10nmである。さらに、これに連続してTiN/Ti膜15の上に、白金族系金属膜であるRu膜16をスパッタ法あるいはCVD法により30nmの厚みで堆積する。

【0033】次に、図1(d)に示す工程で、開口部14内以外のTiN/Ti膜15やRu膜16を除去するため、CMP法による平坦化を行う。

【0034】図2は、この工程で使用されるCMPに使用される研磨機の構造の例を示す斜視図である。同図に示すように、本実施形態に係るCMP研磨機は、たとえばスピードファム社製のものであって、中心軸の回りに

回転する円盤状のプラテン1（定盤）と、該プラテン1を中心部で支持するプラテン軸2と、プラテン1上に貼り付けられた独立気泡型ウレタン樹脂や不織布等からなる研磨パッド3と、ウエハ6が装着された円板状のキャリア4と、該キャリア4を中心部で支持するキャリア軸5と、スラリー状の研磨液8を供給するための研磨液供給装置7とを備えている。ここで、上記プラテン軸2及びキャリア軸5は、いずれもサーボモータ等により強制的に回転され、かつその回転速度が互いに独立に可変に制御されるものである。

【0035】このCMP法による研磨の結果、第2層間絶縁膜12上のRu膜16及びTiN/Ti膜15が除去されて、開口部14内のみにRu膜16及びTiN/Ti膜15が残存し、下部電極17が形成される。なお、この時、研磨用スラリー中に白金族系金属の酸化物を添加しておくことで、Ru膜16の表面付近の領域が酸化される。

【0036】次に、図1（e）に示す工程で、下部電極17の上に、高誘電率の誘電体薄膜として厚みが約20nmの $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18をMOCVD法により堆積した。

【0037】次に、図1（f）に示す工程で、 $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18の上に、上部電極膜であるRu膜19を、開口部14内がすべて埋められるようにスパッタあるいはCVD法により堆積した。

【0038】なお、上記第1層間絶縁膜に埋め込まれたポリシリコン配線13をシリコン基板のソース領域に接続される容量蓄積部コンタクトとし、開口部14内に埋め込まれた下部電極17を容量蓄積電極とし、 $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18を容量絶縁膜とし、Ru膜19をプレート電極とすることで、DRAMのセルとなるキャパシタが形成される。ただし、本実施形態の製造工程で形成されるセルは、DRAMのメモリセルに限定されるものではなく、不揮発性メモリのセルにも応用が可能である。

【0039】以上の工程によって形成される半導体記憶装置のセルは、容量絶縁膜として酸化性の強い高誘電体膜（ $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜）を用いながら、下部電極17及び上部電極を耐酸化性の大きい白金族系金属（Ru）で構成しているので、容量絶縁膜の疲労劣化に起因する書き換え特性等の悪化を防止すること

ができる。

【0040】特に、本実施形態の形成方法によると、CMP法を用いて、白金族系金属（Ru）からなる下部電極17を開口部14内に埋め込んで、さらにその上に酸化性の強い高誘電体膜（ $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18と、上部電極を構成する白金系金属膜であるRu膜19を堆積している）ので、ドライエッチングによる微細パターンの形成が困難な白金系金属を下部電極膜として用いながら、微細化に適したトレンチ型セルを形成することができる。

【0041】その場合、CMP法を用いて、化学反応性に乏しい白金族系金属膜であるRu膜16を研磨する際、CMP用の研磨用スラリー中に酸化能力の高い白金族系金属の酸化物が添加されているので、Ru膜16の表面付近の領域が酸化される。そして、この酸化された領域は研磨用スラリーによってCMPによって容易に除去される。すなわち、研磨の進行にしたがってRu膜の表面付近の領域が順次酸化されていくので、量産工程に適合した短時間（例えば1分間）でトレンチ型セルを形成することができる。

【0042】なお、本実施形態では、シリコン基板上に配線としてポリシリコン配線3を形成しているが、TiN配線やW配線などの他の導体材料により構成される配線を形成してもよい。

【0043】本実施形態では、セルの容量絶縁膜を高誘電体膜であるBST膜により構成したが、これに限定されるものではない。

【0044】本実施形態では、第2層間絶縁膜12に形成した開口部14を円柱状としたが、本発明はかかる実施形態に限定されるものではなく、各種パターンの開口部を設けて、各種パターンの下部電極を形成することができる。

【0045】次に、上記図1（c）から（d）に示す工程におけるCMPの研磨用スラリーの具体的な実施例について説明する。

【0046】（実施例1）実施例1では、下記表1に示す組成からなる第1スラリーを研磨用スラリーとして使用している。

【0047】

【表1】

表1 第1スラリーの成分表

	成分	添加量
酸化剤	RuO ₂	2 wt. %
研磨剤	SiO ₂	2 wt. %
溶媒	KOH	25 %

【0048】ただし、残部は水である。ここでは、研磨

圧力を500kgfとして上記表1の研磨スラリーを用

回転する円盤状のプラテン1（定盤）と、該プラテン1を中心部で支持するプラテン軸2と、プラテン1上に貼り付けられた独立気泡型ウレタン樹脂や不織布等からなる研磨パッド3と、ウェハ6が装着された円板状のキャリア4と、該キャリア4を中心部で支持するキャリア軸5と、スラリー状の研磨液8を供給するための研磨液供給装置7とを備えている。ここで、上記プラテン軸2及びキャリア軸5は、いずれもサーボモータ等により強制的に回転され、かつその回転速度が互いに独立に可変に制御されるものである。

【0035】このCMP法による研磨の結果、第2層間絶縁膜12上のRu膜16及びTiN/Ti膜15が除去されて、開口部14内のみにRu膜16及びTiN/Ti膜15が残存し、下部電極17が形成される。なお、この時、研磨用スラリー中に白金族系金属の酸化物を添加しておくことで、Ru膜16の表面付近の領域が酸化される。

【0036】次に、図1（e）に示す工程で、下部電極17の上に、高誘電率の誘電体薄膜として厚みが約20nmの $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18をMOCVD法により堆積した。

【0037】次に、図1（f）に示す工程で、 $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18の上に、上部電極膜であるRu膜19を、開口部14内がすべて埋められるようにスパッタあるいはCVD法により堆積した。

【0038】なお、上記第1層間絶縁膜に埋め込まれたポリシリコン配線13をシリコン基板のソース領域に接続される容量蓄積部コンタクトとし、開口部14内に埋め込まれた下部電極17を容量蓄積電極とし、 $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18を容量絶縁膜とし、Ru膜19をプレート電極とすることで、DRAMのセルとなるキャパシタが形成される。ただし、本実施形態の製造工程で形成されるセルは、DRAMのメモリセルに限定されるものではなく、不揮発性メモリのセルにも応用が可能である。

【0039】以上の工程によって形成される半導体記憶装置のセルは、容量絶縁膜として酸化性の強い高誘電体膜（ $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜）を用いながら、下部電極17及び上部電極を耐酸化性の大きい白金族系金属（Ru）で構成しているため、容量絶縁膜の疲労劣化に起因する書き換え特性等の悪化を防止すること

ができる。

【0040】特に、本実施形態の形成方法によると、CMP法を用いて、白金族系金属（Ru）からなる下部電極17を開口部14内に埋め込んで、さらにその上に酸化性の強い高誘電体膜（ $(Ba_{0.5}, Sr_{0.5})TiO_3$ 膜18と、上部電極を構成する白金系金属膜であるRu膜19を堆積しているため、ドライエッチングによる微細パターンの形成が困難な白金系金属を下部電極膜として用いながら、微細化に適したトレンチ型セルを形成することができる。

【0041】その場合、CMP法を用いて、化学反応性に乏しい白金族系金属膜であるRu膜16を研磨する際、CMP用の研磨用スラリー中に酸化能力の高い白金族系金属の酸化物が添加されているため、Ru膜16の表面付近の領域が酸化される。そして、この酸化された領域は研磨用スラリーによってCMPによって容易に除去される。すなわち、研磨の進行にしたがってRu膜の表面付近の領域が順次酸化されていくので、量産工程に適合した短時間（例えば1分間）でトレンチ型セルを形成することができる。

【0042】なお、本実施形態では、シリコン基板上に配線としてポリシリコン配線3を形成しているが、TiN配線やW配線などの他の導体材料により構成される配線を形成してもよい。

【0043】本実施形態では、セルの容量絶縁膜を高誘電体膜であるBST膜により構成したが、これに限定されるものではない。

【0044】本実施形態では、第2層間絶縁膜12に形成した開口部14を円柱状としたが、本発明はかかる実施形態に限定されるものではなく、各種パターンの開口部を設けて、各種パターンの下部電極を形成することができる。

【0045】次に、上記図1（c）から（d）に示す工程におけるCMPの研磨用スラリーの具体的な実施例について説明する。

【0046】（実施例1）実施例1では、下記表1に示す組成からなる第1スラリーを研磨用スラリーとして使用している。

【0047】

【表1】

表1 第1スラリーの成分表

	成分	添加量
酸化剤	RuO ₂	2 wt. %
研磨剤	SiO ₂	2 wt. %
溶媒	KOH	25 %

【0048】ただし、残部は水である。ここでは、研磨

圧力を500kgfとして上記表1の研磨スラリーを用

い、Ru膜16及びTiN/Ti膜15のCMPを1分間行うことにより、第2層間絶縁膜12上のRu膜16及びTiN/Ti膜15が除去されて、ホール内のみにRu膜16及びTiN/Ti膜15が残存し、下部電極17が形成された。この時、下部電極17中のRu膜の表面は、第1スラリー中のRuO₂によって酸化され、酸化ルテニウムに化学変化していた。

【0049】なお、CMP法によって白金族系金属膜を除去するための研磨用スラリー中に含ませる酸化剤とし

表2 第2スラリーの成分表

	成分	添加量
研磨剤兼酸化剤	RuO ₂	2 wt. %
溶媒	KOH	2.5 %

【0052】ただし、残部は水である。本実施例においても、CMPによって第2層間絶縁膜12上のRu膜16及びTiN/Ti膜15が除去されて、ホール内のみにRu膜16及びTiN/Ti膜15が残存し、下部電極17が形成された。この時、下部電極17中のRu膜の表面は、第2スラリー中のRuO₂によって酸化され、酸化ルテニウムに化学変化していた。

【0053】なお、CMP法によって白金族系金属膜を除去するための研磨用スラリー中に含ませる研磨用スラリー兼酸化剤として、RuO₂の他に、RuO₄、Rh₂O₃、PdO、OsO₂、OsO₄、IrO₂、PtO、Pt₃O₄、PtO₂などを使用してもよい。

【0054】なお、酸化剤または研磨剤兼酸化剤に含ませるRuO₂の添加量は上記実施例1、2の値に限定されるものではなく、例えば4%程度あるいはそれ以上添加してもよい。

【0055】

【発明の効果】請求項1～3によれば、白金族系金属膜を化学機械的研磨法により研磨するための研磨用スラリーとして、アルカリ性溶液に白金族系金属の酸化物からなる微粒子を分散させておく構成としたので、酸化能力の高い白金族系金属の酸化物で白金族系金属膜の表面を酸化して容易に研磨する機能を有する研磨用スラリーの提供を図ることができる。

【0056】請求項4～6によれば、白金族系金属膜を化学機械的研磨法により研磨するための研磨方法として、アルカリ性溶液に白金族系金属の酸化物からなる微粒子が分散されている研磨用スラリーを用いるようにしたので、酸化能力の高い白金族系金属の酸化物の微粒子を利用して白金族系金属膜を容易かつ迅速に除去できる研磨方法の提供を図ることができる。

【0057】請求項7～10によれば、白金族系金属で構成される下部電極を有する半導体記憶装置のセル形成方法として、基板上に堆積された層間絶縁膜に開口部を

形成し、その上に白金族系金属膜を堆積した後、化学機械的研磨を行って白金族系金属膜を開口部に埋め込んでなる下部電極を形成し、さらにその上に高誘電体膜と上部電極膜とを堆積するようにしたので、白金族系金属膜を下部電極とする微細パターンのトレンチ型セルを形成することが可能となり、よって、高集積化に適した半導体記憶装置のセル形成方法の提供を図ることができる。

【0050】（実施例2）本実施例では、下記表2に示す組成からなる第2スラリーを研磨用スラリーとして使用している。

【0051】

【表2】

形成し、その上に白金族系金属膜を堆積した後、化学機械的研磨を行って白金族系金属膜を開口部に埋め込んでなる下部電極を形成し、さらにその上に高誘電体膜と上部電極膜とを堆積するようにしたので、白金族系金属膜を下部電極とする微細パターンのトレンチ型セルを形成することが可能となり、よって、高集積化に適した半導体記憶装置のセル形成方法の提供を図ることができる。

【図面の簡単な説明】

【図1】本発明による白金族系金属膜により構成される下部電極を有するトレンチ型セルを形成する工程を示す断面図である。

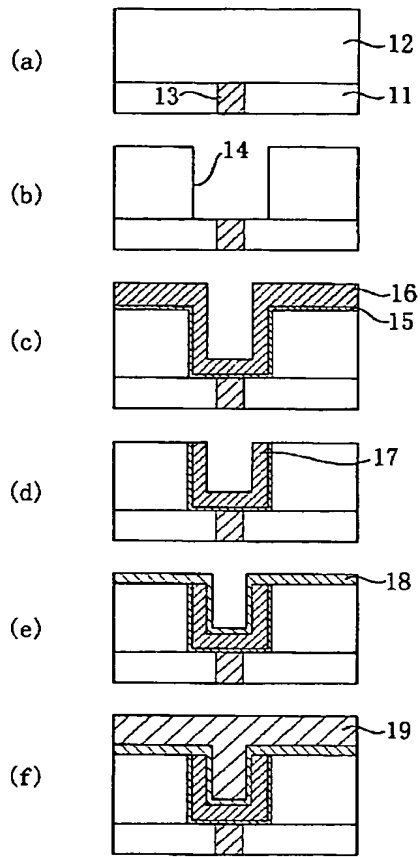
【図2】本発明の実施形態中のCMP工程で使用したCMP用研磨機の構造を示す斜視図である。

【図3】従来の白金族系金属膜で構成される下部電極を有するスタック型セルを形成する工程を示す断面図である。

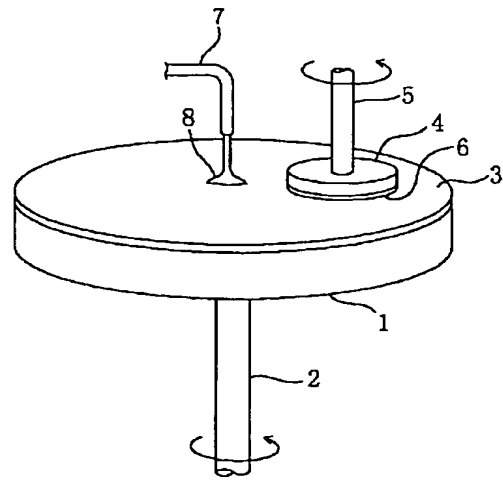
【符号の説明】

- 1 プラテン
- 2 プラテン軸
- 3 研磨パッド
- 4 キャリア
- 5 キャリア軸
- 6 ウエハ
- 7 研磨液供給装置
- 8 研磨液
- 11 第1層間絶縁膜
- 12 第2層間絶縁膜
- 13 ポリシリコン配線
- 14 開口部
- 15 TiN/Ti膜15
- 16 Ru膜16（白金族系金属膜）
- 17 下部電極
- 18 (Ba_{0.5}, Sr_{0.5})TiO₃膜（誘電体膜）
- 19 Ru膜19（上部電極膜）

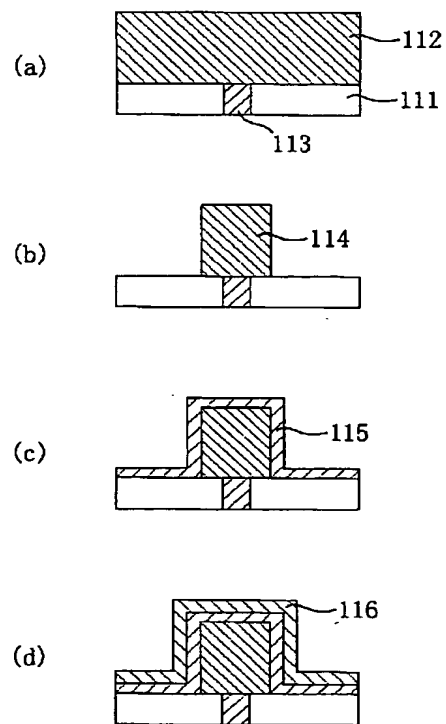
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.⁶

H01L 21/822

識別記号

F I